

## Method of manufacturing a silicon carbide vertical MOSFET

Patent Number: ☐ US6054352  
Publication date: 2000-04-25  
Inventor(s): UENO KATSUNORI (JP)  
Applicant(s): FUJI ELECTRIC CO LTD (JP)  
Requested Patent: ☐ JP10233503  
Application Number: US19980027305 19980220  
Priority Number(s): JP19970036080 19970220  
IPC Classification: H01L21/336  
EC Classification: H01L21/04H20B, H01L29/78B2, H01L29/78B2B  
Equivalents: ☐ DE19806838, JP3206727B2

---

### Abstract

---

A method of manufacturing a silicon carbide vertical MOSFET is presented which includes: providing a first conductivity type silicon carbide substrate; a first conductivity type drift layer comprising silicon carbide which is formed on the first conductivity type silicon carbide substrate; a second conductivity type base region formed in a selected region of a surface layer of the first conductivity type drift layer; a first conductivity type source region formed in a selected region of the second conductivity type base region; a gate electrode layer formed on a gate insulating film over at least a part of an exposed surface portion of the second conductivity type base region interposed between the first conductivity type source region and the first conductivity type drift layer; a source electrode formed in contact with surfaces of the first conductivity type source region and the second conductivity type base region; and a drain electrode formed on a rear surface of the silicon carbide substrate. In the manufacture of the vertical MOSFET, the first conductivity type source region is formed by ion implantation of first conductivity type impurities using a first mask, and the second conductivity type base region is formed by ion implantation of second conductivity type impurities using a second mask that has a smaller width than the first mask.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233503

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

21/336

識別記号

F I

H 0 1 L 29/78

6 5 2 T

6 5 2 J

6 5 8 A

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号 特願平9-36080

(22) 出願日 平成9年(1997) 2月20日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

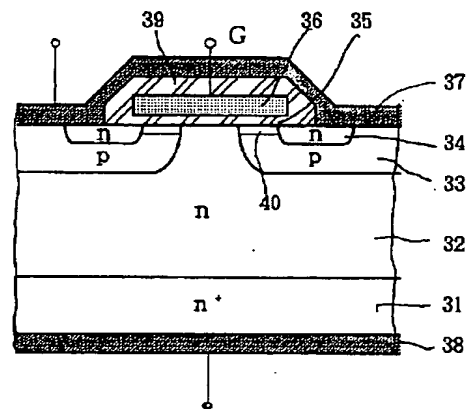
(74) 代理人 弁理士 篠部 正治

(54) 【発明の名称】 炭化けい素縦型MOSFETおよびその製造方法

(57) 【要約】

【課題】 SiCを用いた縦型MOSFETの高耐圧化を図る。

【解決手段】 幅の広いマスク36aを使用した燐イオン34aの選択的なイオン注入の後、より幅の狭いマスク36bを使用したほう素イオン33aの選択的なイオン注入をおこない、マスク36bを除去し熱処理してpベース領域33およびnソース領域34を形成する。その後熱酸化によりゲート酸化膜35を形成し、多結晶シリコンのゲート電極層36を形成する。チャネル領域40の長さ、pベース領域33の厚さとをそれぞれ独立に設計でき、例えばチャネル領域でのパンチスルーが避けられる高耐圧に適する構造とすることができる。特に、スペーサを利用する方法により、チャネル領域の長さが精度よく形成され、安定した特性が歩留まりよく得られる。



31 n<sup>+</sup> サブストレート

32 n ドリフト層

33 p ベース領域

34 n ソース領域

35 ゲート絶縁膜

36 ゲート電極層

37 ソース電極

38 ドレイン電極

39 絶縁膜

40 チャネル領域

## 【特許請求の範囲】

【請求項1】第一導電型炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層と、その第一導電型ドリフト層の表面層に選択的に形成された第二導電型ベース領域と、その第二導電型ベース領域内に選択的に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型ドリフト層とに挟まれた第二導電型ベース領域の表面露出部の少なくとも一部にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ベース領域との表面に共通に接触するソース電極と、炭化けい素サブストレートの裏面に設けられたドレイン電極とを有する縦形MOSFETにおいて、第一導電型ソース領域が、第二導電型不純物の選択的なイオン注入に使用したマスクより、幅の広いマスクを使用した第一導電型不純物のイオン注入によって形成された濃度分布を有することを特徴とする炭化けい素縦型MOSFET。

【請求項2】第一導電型ソース領域と第一導電型ドリフト層とに挟まれた第二導電型ベース領域の表面露出部の距離が、基板の厚さ方向の第二導電型ベース領域の距離より大きいことを特徴とする請求項1記載の炭化けい素縦型MOSFET。

【請求項3】少なくとも第二導電型ベース領域の表面の一部が第一導電型ソース領域の表面より突き出していることを特徴とする請求項1または2に記載の炭化けい素縦型MOSFET。

【請求項4】第二導電型ベース領域および第一導電型ソース領域の形成のためそれぞれマスクを使用した選択的なイオン注入をおこない、前記マスクを除去して熱処理をおこなった後、ゲート絶縁膜を形成することを特徴とする請求項1ないし3のいずれかに記載の炭化けい素縦型MOSFETの製造方法。

【請求項5】第二導電型ベース領域形成のための第二導電型不純物の選択的なイオン注入が、加速電圧を変えた複数回のイオン注入であることを特徴とする請求項4記載の炭化けい素縦型MOSFETの製造方法。

【請求項6】第二導電型ベース領域形成のための第二導電型不純物の選択的なイオン注入に使用するマスクとその両側に設けたスペーサとをマスクとした第一導電型不純物のイオン注入によって第一導電型ソース領域を形成することを特徴とする請求項5記載の炭化けい素縦型MOSFETの製造方法。

【請求項7】第一導電型ドリフト層の一部を第一のマスクで覆い、所定の深さまで第一導電型ドリフト層をエッチングして凸部を形成する工程と、第二導電型ベース領域形成のためのイオン注入をおこなう工程と、上記エッチング工程により生じた凸部の両側にスペーサを形成する工程と、第一導電型ソース領域形成のためのイオン注入をおこなう工程と、エッチングにより生じた凸部の段差を少なくするための平坦化工程とを備えたことを特徴

とする請求項6記載の炭化けい素縦型MOSFETの製造方法。

【請求項8】第一導電型炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層と、その第一導電型ドリフト層上に形成された第二導電型ベース層と、その第二導電型ベース層の表面層に選択的に形成された第一導電型ソース領域と、表面から第二導電型ベース層を貫通して第一導電型ドリフト層に達するように形成された第一導電型ウェル領域と、第一導電型ソース領域と第一導電型ウェル領域とに挟まれた第二導電型ベース層の表面露出部の少なくとも一部にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ベース層との表面に共通に接触するソース電極と、炭化けい素基板の裏面に設けられたドレイン電極とを有することを特徴とする炭化けい素縦型MOSFET。

【請求項9】第一導電型がn型、第二導電型がp型であることを特徴とする請求項8記載の炭化けい素縦型MOSFET。

【請求項10】第一導電型炭化けい素サブストレート上に、炭化けい素からなる第一導電型ドリフト層と第二導電型ベース層とがエピタキシャル成長により積層された基板を用い、その第二導電型ベース層表面上に第一のマスクを形成する工程と、その第一のマスクにより選択的に第二導電型ベース層の表面層に第一導電型ソース領域形成のためのイオン注入をおこなう工程と、第二のマスクを形成する工程と、その第二のマスクにより選択的に第二導電型ベース層の表面層に第一導電型ウェル領域形成のためのイオン注入をおこなう工程とを備えたことを特徴とする請求項8または9に記載の炭化けい素縦型MOSFETの製造方法。

【請求項11】第一導電型炭化けい素サブストレート上に、炭化けい素からなる第一導電型ドリフト層と第二導電型ベース層とがエピタキシャル成長により積層された基板を用い、その第二導電型ベース層表面上に第一のマスクを形成する工程と、その第一のマスクと一部が重なるように第二のマスクを形成する工程と、その第一のマスクと第二のマスクとにより選択的に第二導電型ベース層の表面層に第一導電型ソース領域形成のためのイオン注入をおこなう工程と、第一のマスクと一部が重なるように第三のマスクを形成する工程と、その第一のマスクと第三のマスクとにより選択的に第二導電型ベース層の表面層に第一導電型ウェル領域形成のためのイオン注入をおこなう工程とを備えたことを特徴とする請求項8または9に記載の炭化けい素縦型MOSFETの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体材料として炭化けい素を用いた、電力用半導体素子、特にMOS型

のゲートをもつ縦型MOSFETおよび、その製造方法に関する。

【0002】

【従来の技術】炭化けい素（以下SiCと記す）は、バンドギャップが広く、また最大絶縁電界がシリコン（以下Siと記す）と比較して一桁も大きいことから、次世代の電力用半導体素子への応用が期待されている材料である。これまでに、ショットキーダイオード、縦形MOSFET、サイリスタなどの素子が試作され、その特性から従来のSiと比較して非常に特性が良好なことが確認されている。本発明は、その中で縦形MOSFETにかかわるものである。

【0003】図7はSiを用いた電力用半導体素子で、もっとも普及したプレーナ型の縦形MOSFETの単位セルの部分断面図である。ゲート絶縁膜5上のゲート電極層6に電圧を印加することによって、ゲート電極層6直下のpベース領域3の表面部分にチャネル10が誘起され、nソース領域4とnドリフト層2とが電氣的に短絡される。その結果nドリフト層2の下にn<sup>+</sup>サブストレータ1の裏面に設けられたドレイン電極8から、nソース領域4表面上に設けられたソース電極7へと電流を流すことが可能となる。また、ゲート電極層6に印加された電圧を取り去ることによって、ドレイン電極8とソース電極7との間は電氣的に絶縁されて、スイッチング機能を示すことになる。

【0004】このような構造を実現するウェハプロセスのフローを図9(a)ないし(f)に工程順の部分断面図で示した。ここでは全工程ではなく、特に本発明にかかわる接合形成工程部分についてのみ、記載した。先ず、n<sup>+</sup>サブストレータ1上にエピタキシャル成長した高抵抗のnドリフト層2の表面に、熱酸化により酸化けい素膜（以下SiO<sub>2</sub>膜と記す）のゲート絶縁膜5を形成し、その後多結晶シリコン層6aを堆積する〔図9(a)〕。

【0005】次に、多結晶シリコン層6aをフォトリソグラフィによりパターン形成し、ゲート電極層6とする〔同図(b)〕。次いで、p型不純物の、例えばほう素イオン3aをイオン注入し〔同図(c)〕、注入されたほう素原子3bを熱処理によって活性化させるとともに拡散させてpベース領域3を形成する〔同図(d)〕。

【0006】更に、n型不純物の例えば燐イオン4aを注入し〔同図(e)〕、注入された燐原子4bを熱処理によって活性化させるとともに拡散させてnソース領域4を形成する〔同図(f)〕。図示しないが、その後、減圧CVD法により燐ガラスを堆積して絶縁膜とし、その絶縁膜に窓を開け、nソース領域4に接触するソース電極を設ける。同時にゲート電極層6に接触するゲート電極を設け、また、n<sup>+</sup>サブストレータの裏面にドレイン電極を設ける。

【0007】上記の工程でもっとも重要であるのは、p

型のほう素イオン3aおよびn型の燐イオン4aのイオン注入工程において、その前の工程でパターン形成したゲート電極層6がイオン注入の際のマスクとなっており、両者が同一のマスクにより打ち込まれ、その後熱拡散していることである。そのため、この構造を二重拡散MOS(D-MOS)構造と呼んでいる。このことによって、MOSFETの特性を左右するチャネル領域10の長さが、非常に精密に制御可能で、歩留まり良くMOSFETを作ることができる。

【0008】以上のプロセスは、Si半導体でもっとも普及している方法であるが、残念ながらSiCにそのまま適用することのできないプロセスである。その理由は、SiCではイオン注入した不純物の活性化率が悪く、これを向上させるために、1000℃以上でのイオン注入、また1600℃以上での活性化熱処理が必要なこと、およびイオン注入した不純物の拡散がほとんど起きないことである。

【0009】通常ゲート絶縁膜としてはSiO<sub>2</sub>膜が、ゲート電極としては多結晶シリコンが使用されるが、SiO<sub>2</sub>膜は1300℃以上で軟化し、また多結晶シリコンは融点が1412℃である。従って、図9(a)～(f)のように、ゲート絶縁膜5やゲート電極層6を形成した後に、このような高温の熱処理は実施できないことになる。

【0010】これを回避するためにSiCではトレンチ型MOSFETが試作されている。図10はトレンチ型MOSFETの単位セルの部分断面図である。この構造ではpベース層13は不純物の拡散ではなく、エピタキシャル成長により形成される。燐イオン等の注入によりnソース領域14を形成した後、その表面からnドリフト層12に達するトレンチ19を形成する。そのトレンチ19の内側にゲート絶縁膜15を形成しゲート電極層16を充填している。なお、この構造はSi素子でも採用されている構造である。その理由は、この構造ではチャネル領域20が縦に形成されるため、稠密にセルを配置できて面積効率がよいこと、幾何学的にデバイスの特性が向上することによる。

【0011】しかしながら、SiCの場合には更に別の問題が存在する。半導体とゲート絶縁膜の界面での電圧印加時の電界強度の境界条件は、

$$\epsilon_i E_i = \epsilon_s E_s \quad (1)$$

である。ここで $\epsilon_i$ 、 $\epsilon_s$ はそれぞれゲート絶縁膜、半導体の誘電率、 $E_i$ 、 $E_s$ はそれぞれゲート絶縁膜、半導体の電界強度をあらわす。

【0012】従って、ゲート絶縁膜の電界は、

$$E_i = \frac{\epsilon_s}{\epsilon_i} \cdot E_s$$

となる。今、Siの $\epsilon_s$ は11.7であり、SiO<sub>2</sub>膜の $\epsilon_i$ は3.8であるから、 $E_s$ に絶縁電界が印加され

たとしても、ゲート絶縁膜にはSiの約3倍の電界が印加される。これは、ゲート絶縁膜の絶縁電界の30%程度の電界にあたる。ところがSiCの $\epsilon_s$ は10.2でありSiと余り変わらないが、先に述べたように絶縁電界がSiより約一桁大きいために、ゲート絶縁膜にはSiデバイスの時の10倍もの電界が印加されることになる。

【0013】さらに、図で示したようにトレンチ構造ではコーナー部15aが存在する。このコーナー部では電界が集中することにより、本来のSiCの絶縁電界の利点を活かすことができないことになる。すなわち、素子に電圧を印加していくと、半導体が絶縁電界に達する前に、ゲート絶縁膜が絶縁電界に達し、素子が破壊するという問題が起きる。

【0014】最近、Shenoy, J.N.らは、高耐圧のSiC縦型MOSFETの試作を報告した[54th Device Research Conference, Santa Barbara (1996)]。図11は、その部分断面図である。詳しい製造方法の記載は無いが、二重イオン注入によると記載されている。すなわち、図11において、pベース領域23と、nソース領域24とは、イオン注入時の加速電圧を高くすることにより、不純物を深く注入して形成し、先に述べた不純物の拡散の問題を解決したと考えられる。このSiC縦型MOSFETは、ふたたびプレーナ構造とすることにより、トレンチ構造での酸化膜の耐圧の問題を解決している。

【0015】

【発明が解決しようとする課題】しかし、二重イオン注入法では、次の様な問題が起きる。それは、不純物の拡散が、ほぼ等方的に起きるのに対し、イオン注入が強い異方性をもつことである。そのため、マスクを使用した選択的なイオン注入をおこなうと、マスク端から側方への不純物の侵入量が少なくなる。すなわち、図11において、pベース領域23の深さ方向の厚さに対して、横方向の距離すなわちチャネル領域30の長さが小さくなってしまふことを意味している。このため、パンチスルーが起き、耐圧が高くない。

【0016】

【課題を解決するための手段】上記課題解決のため本発明は、第一導電型炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層と、その第一導電型ドリフト層の表面層に選択的に形成された第二導電型ベース領域と、その第二導電型ベース領域内に選択的に形成された第一導電型ソース領域と、第一導電型ソース領域と第一導電型ドリフト層とに挟まれた第二導電型ベース領域の表面露出部上の少なくとも一部にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ベース領域との表面に共通に接触するソース電極と、炭化けい素サブストレートの裏面に設けられたドレイン電極とを有する縦型MOSFETにおいて、第一導電型ソース領域が、第二導電型不

純物の選択的なイオン注入に使用したマスクより、幅の広いマスクを使用した第一導電型不純物のイオン注入によって形成された濃度分布を有するものとする。

【0017】そのようにすれば、チャネル領域の長さ、と、第二導電型ベース領域の厚さをそれぞれ独立に設計できる。特に、第一導電型ソース領域と第一導電型ドリフト層とに挟まれた第二導電型ベース領域の表面露出部の距離が、基板の厚さ方向の第二導電型ベース領域の距離より大きいものとする。

【0018】そのようにすれば、チャネル領域でのパンチスルーが避けられるので、高耐圧MOSFETに適した構造となる。また、少なくとも第二導電型ベース領域の表面の一部が第一導電型ソース領域の表面より突き出したものとすることもできる。そのようにすれば、第一導電型ドリフト層の表面露出部と第一導電型ソース領域との間の第二導電型ベース領域の距離を大きくする。

【0019】そのような炭化けい素縦型MOSFETの製造方法としては、第二導電型ベース領域および第一導電型ソース領域の形成のためマスクを使用した選択的なイオン注入をおこない、前記マスクを除去して熱処理をおこなった後、ゲート絶縁膜を形成するものとする。そのような方法を取れば、ゲート絶縁膜、ゲート電極層がイオン注入およびその活性化の後となるため、プレーナ型縦型MOSFETの製造が可能となる。

【0020】そして、第二導電型ベース領域形成のための第二導電型不純物の選択的なイオン注入が、加速電圧を変えた複数回のイオン注入であるものとする。そのような方法を取れば、第二導電型ベース領域の厚さを厚くできる。また、第二導電型ベース領域形成のための第二導電型不純物の選択的なイオン注入に使用するマスクとその両側に設けたスペーサとをマスクとした第一導電型不純物のイオン注入によって第一導電型ソース領域を形成するものとする。

【0021】そのような方法を取れば、チャネル領域の長さをスペーサの長さによって制御でき、素子の設計が容易となる。特に、第一導電型ドリフト層の一部を第一のマスクで覆い、所定の深さまで第一導電型ドリフト層をエッチングして凸部を形成する工程と、第二導電型ベース領域形成のためのイオン注入をおこなう工程と、上記エッチング工程により生じた凸部の両側にスペーサを形成する工程と、第一導電型ソース領域形成のためのイオン注入をおこなう工程と、エッチングにより生じた凸部の段差を少なくするための平坦化工程とを備えるものとする。

【0022】そのような方法を取れば、炭化けい素基板の凸部をマスクとすることで、高加速電圧での不純物イオン注入のための他の材料で厚いマスクを形成する必要が無い。しかも、チャネル領域の長さをスペーサの長さによって制御でき、素子の設計が容易となる。また本発明の他の炭化けい素縦型MOSFETは、例えば、第一導

電型炭化けい素サブストレート上に、炭化けい素からなる第一導電型ドリフト層と第二導電型ベース層とがエピタキシャル成長により積層された基板を用い、その第二導電型ベース層表面上に第一のマスクを形成する工程と、その第一のマスクにより選択的に第二導電型ベース層の表面層に第一導電型ソース領域形成のためのイオン注入をおこなう工程と、第二のマスクを形成する工程と、その第二のマスクにより選択的に第二導電型ベース層の表面層に第一導電型ウェル領域形成のためのイオン注入をおこなう工程とを備える製造方法をとることによって、第一導電型炭化けい素サブストレート上に積層された炭化けい素からなる第一導電型ドリフト層と、その第一導電型ドリフト層上に形成された第二導電型ベース層と、その第二導電型ベース層の表面層に選択的に形成された第一導電型ソース領域と、表面から第二導電型ベース層を貫通して第一導電型ドリフト層に達するように形成された第一導電型ウェル領域と、第一導電型ソース領域と第一導電型ウェル領域とに挟まれた第二導電型ベース層の表面露出部上の少なくとも一部にゲート絶縁膜を介して設けられたゲート電極層と、第一導電型ソース領域と第二導電型ベース層との表面に共通に接触するソース電極と、炭化けい素基板の裏面に設けられたドレイン電極とを有するものとする。

【0023】そのようにすれば、第二導電型不純物のイオン注入を伴わないので製造が容易となる。特に、第一導電型がn型、第二導電型がp型であるものとする。そのようにすれば、特にイオン注入および活性化の困難なp型不純物のイオン注入を伴わないので製造が容易となる。

【0024】また、第一導電型炭化けい素サブストレート上に、炭化けい素からなる第一導電型ドリフト層と第二導電型ベース層とがエピタキシャル成長により積層された基板を用い、その第二導電型ベース層表面上に第一のマスクを形成する工程と、その第一のマスクと一部が重なるように第二のマスクを形成する工程と、その第一のマスクと第二のマスクとにより選択的に第二導電型ベース層の表面層に第一導電型ソース領域形成のためのイオン注入をおこなう工程と、第一のマスクと一部が重なるように第三のマスクを形成する工程と、その第一のマスクと第三のマスクとにより選択的に第二導電型ベース層の表面層に第一導電型ウェル領域形成のためのイオン注入をおこなう工程とをおこなってもよい。

【0025】そのような方法を取れば、チャネル領域の寸法が、ほぼ第一のマスクによって決定されることになる。

【0026】

【発明の実施の形態】以下で本発明について、実施例を示しながら詳細に説明する。ただし、図9と同様に従来する方法と共通の部分の工程、あるいは本特許とかかわりのない部分については説明を省略する。

【実施例1】図1は本発明第一の実施例の炭化けい素MOSFETの部分断面図である。

【0027】基本的な構造は図5のプレーナー型MOSFETと同じである。すなわち、 $n^+$  サブストレート31上にエピタキシャル成長により堆積したnドリフト層32の表面層にほう素のイオン注入により形成されたpウェル領域33およびその内部に燐のイオン注入により形成されたnソース領域34がある。二つのnソース領域34間のpベース領域33とその間のnドリフト層32の表面露出部にゲート絶縁膜35を介して多結晶シリコンのゲート電極層36が設けられている。nソース領域34とpベース領域33との表面に共通に接触するソース電極37と $n^+$  サブストレート31の裏面に接触するドレイン電極38が設けられている。

【0028】図11のプレーナー型MOSFETと違って点のは、nソース領域34とpベース領域33とが、同じマスクで選択形成されていない点である。特に、pベース領域33を選択形成するためのマスクのパターンの幅が、nソース領域34を選択形成するためのマスクのそれより狭くなっている。その結果、nソース領域34と、nドリフト層32とに挟まれたpベース領域33の表面露出部であるチャネル領域40の長さは、同じマスクを用いてイオン注入により選択形成した場合より広がっている。

【0029】図2(a)ないし(f)は、図1の第一の実施例の炭化けい素MOSFETの製造工程順の部分断面図である。図9と同様に接合構造の形成工程を示した。以下順に工程について説明する。まず、 $n^+$  サブストレート31上にnドリフト層32をエピタキシャル成長により積層した炭化けい素基板の表面上に、多結晶シリコン層36aを減圧CVD法により堆積し、フォトリソグラフィでパターンを形成して、イオン注入のマスクとする[図2(a)]。多結晶シリコン層36aの厚さは $5\mu\text{m}$ とした。マスク材は、高温でイオン注入をする場合には、多結晶シリコンなどの高温に絶える材料を用いる必要がある。

【0030】これをマスクにnソース領域形成のための燐イオン注入を実施する[同図(b)]。加速電圧は、 $20\text{keV}$ と $140\text{keV}$ 、ドーズ量は全部で $3\times 10^{15}\text{cm}^{-2}$ 、注入温度は $1000^\circ\text{C}$ とした。次に、多結晶シリコン層36aを再度フォトリソグラフィによりパターン形成して、pベース領域を形成するためのほう素イオン33aの注入を行う[同図(c)]。注入条件は、加速電圧が $40\text{keV}$ 、 $120\text{keV}$ 、 $400\text{keV}$ と $1\text{MeV}$ 、ドーズ量は全部で $3\times 10^{13}\text{cm}^{-2}$ 、注入温度は $1000^\circ\text{C}$ とした。

【0031】四フッ化炭素( $\text{CF}_4$ )と酸素( $\text{O}_2$ )との混合ガスを用いたドライエッチングでマスク材の多結晶シリコン層36aを除去した後、 $1600^\circ\text{C}$ 、2時間の熱処理を行い、不純物を活性化してpベース領域33

およびnソース領域34を形成する[同図(d)]。先に述べたようにSiCでは不純物の拡散が殆ど起きないが、加速電圧を高くしたことにより、pベース領域33の接合深さは約 $2\mu\text{m}$ で、nソース領域34の接合深さは約 $0.2\mu\text{m}$ である。

【0032】その後、 $1200^{\circ}\text{C}$ 、2時間の熱酸化により厚さ $50\text{nm}$ のゲート絶縁膜35を形成し、その上に減圧CVD法により電極ゲート電極層となる多結晶シリコン層36bを約 $1\mu\text{m}$ 堆積する[同図(e)]。多結晶シリコン層36bをフォトリソグラフィによりパターン形成し、ゲート電極層36とする[同図(f)]。

【0033】更に、ゲート電極層36を燐ガラス等の絶縁保護膜で覆った後、その絶縁保護膜に窓開けをし、アルミニウム合金を蒸着し、パターン形成して、ソース電極、ゲート電極とし、 $\text{n}^{+}$ サブストレータ31の裏面にもドレイン電極を設けてプロセスを完了する。再び図1の炭化けい素MOSFETに戻って、ゲート絶縁膜35上のゲート電極層36に電圧を印加することによって、pベース領域33の表面部分にチャンネル40が誘起され、nソース領域34とnドリフト層32とが電氣的に短絡される。その結果ドレイン電極38からソース電極37へと電流が流れる動作は、基本的には、図11の従来のものと変わらない。

【0034】しかし、本実施例1の炭化けい素たて型MOSFETの特徴はpベース領域33の深さを深くも、浅くも設定可能であり、自由度の高い設計が可能なことである。例えば、同じマスクを使用して、pベース領域とnソース領域とをイオン注入した場合のチャンネル領域は $0.3\mu\text{m}$ になるのに対し、本実施例では、別のマスクを使用しているため、チャンネル長は $1.0\mu\text{m}$ になっている。その結果、チャンネル領域でのパンチスルーが回避され、約 $1000\text{V}$ の高耐圧素子が実現できる。

【0035】また、上記のような製造方法を取り、プレーナ型のデバイスとすることにより、従来のトレンチ型の炭化けい素MOSFETの問題であったゲート絶縁膜への電界のストレスの問題は無く、破壊しにくい素子とすることができる。図9(a)ないし(f)のシリコンMOSFETの製造方法と異なる点として、ゲート電極層がnソース領域やpベース領域とセルフアラインで形成されていないという点があるが、高周波の動作が必要無い高耐圧の応用では、何ら問題は無い。マスクを別にしたイオン注入としたことにより、nソース領域およびpベース領域が自由度の高い設計が可能になり、チャンネル領域の長さが精度よく形成され、安定した特性が歩留まりよく得られる。

【0036】ほう素イオン注入時のマスクは、燐イオン注入時のマスクより小さいので、実施例のように燐イオン注入を先にすれば、マスク材の形成は一度ですむ。マスク材の形成を二度おこなうのであればpベース領域用のイオン注入を先に実施しても良い。

【実施例2】図3(a)ないし(g)は、本発明にかかる炭化けい素縦型MOSFETの、別の製造方法による製造工程順の部分断面図である。以下順に工程について説明する。

【0037】まず、 $\text{n}^{+}$ サブストレータ41上にnドリフト層42をエピタキシャル成長により積層した炭化けい素基板の表面上に、多結晶シリコン層46aを減圧CVD法により堆積し、フォトリソグラフィでパターンを形成して、イオン注入のマスクとする[図3(a)]。多結晶シリコン層46aの厚さは $5\mu\text{m}$ とした。ほう素イオン43aの注入を行う[同図(b)]。加速電圧は、加速電圧は $40\text{keV}$ 、 $120\text{keV}$ 、 $400\text{keV}$ と $1\text{MeV}$ 、ドーズ量は全部で $3\times 10^{13}\text{cm}^{-2}$ 、注入温度は $1000^{\circ}\text{C}$ とした。43bは注入されたほう素原子である。

【0038】次に、常圧CVD法により酸化けい素膜45aを堆積する[同図(c)]。その酸化けい素膜45aを、四フッ化炭素と水素の混合ガスを用いた反応性イオンエッチングによりエッチングする。反応性イオンエッチングは異方性エッチングであり、多結晶シリコン層46aのマスクの側方に、厚さ約 $0.5\mu\text{m}$ のスペーサ45bが形成される。さらに、これをマスクとして、燐イオン44aの注入を実施する[同図(d)]。加速電圧は、 $20\text{keV}$ と $140\text{keV}$ 、ドーズ量は全部で $3\times 10^{15}\text{cm}^{-2}$ とした。44bは注入された燐原子である。

【0039】四フッ化炭素と酸素との混合ガスを用いたドライエッチングにより、マスク材の多結晶シリコン層46aおよびスペーサ45bを除去した後、 $1600^{\circ}\text{C}$ 、2時間の熱処理を行い、不純物を活性化してpベース領域43およびnソース領域44を形成する[同図(e)]。pベース領域43の接合深さは約 $2\mu\text{m}$ で、nソース領域44の接合深さは約 $0.2\mu\text{m}$ である。pベース領域43とnソース領域44との寸法差を、多結晶シリコン層46aの側部のスペーサ45bで規定しているので、チャンネル領域50の長さが精度よくまた均一に形成され、安定した特性が歩留まりよく得られる。

【0040】その後以降の工程は、図2の実施例1と同様であり、熱酸化によりゲート酸化膜45を形成し、減圧CVD法により、厚さ約 $1\mu\text{m}$ の多結晶シリコン層46bを堆積する[同図(f)]。フォトリソグラフィによりパターン形成をし、ゲート電極層46を形成する[同図(g)]。

【0041】この炭化けい素たて型MOSFETは、実施例1のものと製造方法がやや異なるが、構造はほぼ同じとなり、動作も同じとなる。また、特徴も同じくpベース領域43とnソース領域44との深さおよび第一導電型ソース領域関係について、自由度の高い設計が可能となる。例えば、同じマスクを使用して、pベース領域とnソース領域とをイオン注入した場合のチャンネル領域

は0.3ミクロンになるのに対し、本実施例では、スペーサ45bで規定しているため、チャネル領域50の長さは1.0 $\mu$ mになっている。その結果、チャネル領域でのパンチスルーが回避され、約1000Vの高耐圧素子可以实现できる。

【0042】スペーサ45bを形成してnソース領域44のための燐イオン注入を先にし、スペーサ45bを除去してpベース領域43用のほう素イオン注入を後からおこなってもよい。

【実施例3】図4(a)ないし(f)および図5(a)ないし(d)は、本発明第三の実施例の炭化けい素MOSFETの製造工程順の部分断面図である。

【0043】まず、n<sup>+</sup>サブストレータ51上にnドリフト層52をエピタキシャル成長により積層したSiC基板の表面上に、エッチング用マスクとして、プラズマCVD法により窒化けい素膜56aを堆積し、フォトリソグラフィによりパターン形成する[図4(a)]。次に、これをマスクに、四フッ化炭素と酸素の混合ガスを用いた反応性イオンエッチングで、SiC基板の表面層を約5 $\mu$ mエッチングし、凸部52aを形成する[同図(b)]。

【0044】さらに、窒化けい素膜56aのパターンを残したままほう素イオン53aの注入を行う[同図(c)]。加速電圧と、ドーズ量は実施例1と同程度でよい。53bは注入されたほう素原子である。凸部52aにも多少注入されても良い。次に、上記の窒化けい素膜56aを取り除いた後、常圧CVD法により酸化けい素膜55aを堆積する[同図(d)]。

【0045】続いて、堆積した酸化けい素膜55aを、四フッ化炭素と水素の混合ガスを用いた反応性イオンエッチングで全面エッチングし、凸部52aの側方に厚さ0.5 $\mu$ mのスペーサ55bを形成する。さらに、これをマスクに燐イオン54aの注入を実施する[同図(e)]。加速電圧と、ドーズ量は実施例1と同程度でよい。54bは注入された燐原子である。凸部52aの表面層にも注入されても良い。

【0046】この後、スペーサ55bを取り除き、フォトレジスト55cを表面に塗布する[同図(f)]。すると、凸部では薄く、また凹部では厚く塗布される。これを四フッ化炭素と酸素の混合ガスを用いた反応性イオンエッチングで、塗布したフォトレジスト55cとSiC基板の凸部52aとがほぼ同じエッチングレートになるようなエッチング条件で、エッチングすることによって凸部52aを平坦化する[図5(a)]。凹凸は出来るだけ小さく、例えば0.1~0.2 $\mu$ mになるようにする。あるいは、機械的な研磨でおこなってもよい。

【0047】塗布したフォトレジスト55cを取り除き、1600℃2時間の熱処理を施す[同図(b)]。以降は実施例1と同様であり、熱酸化によりゲート酸化膜55dを形成し、減圧CVD法によりゲート電極層と

なる多結晶シリコン層56bを堆積する[同図(c)]。

【0048】更に、ゲート電極層56のパターン形成をする[同図(d)]。この実施例3の特徴は実施例1、実施例2と同様に、pベース領域53およびnソース領域54の深さおよび寸法関係について、自由度の高い設計が可能である点ばかりなく、更に、pベース領域の選択形成のためのマスクとして、炭化けい素基板自体を使用している点である。

【0049】実施例1、実施例2では、マスク材料として、適当な材料が中々なく、しかも注入イオンが突き抜けるほど深くイオンを導入することができない。炭化けい素基板自体であれば、安定性も厚さ限界の問題も無い。

【実施例4】図6は本発明第四の実施例の炭化けい素MOSFETの部分断面図である。

【0050】n<sup>+</sup>サブストレータ61上にエピタキシャル成長によりnドリフト層62およびpベース層63を積層した炭化けい素基板の表面層に、燐のイオン注入によりnソース領域64が形成されている。nソース領域64の形成されていない表面層に、pベース層63を貫通してnドリフト層62に達するnウェル領域71が形成されている。そしてnウェル領域71とnソース領域64とに挟まれたpベース層63の表面上にゲート絶縁膜65を介して多結晶シリコンのゲート電極層66が設けられている。nソース領域64とpベース層63との表面に共通に接触するソース電極67とn<sup>+</sup>サブストレータ61の裏面に接触するドレイン電極68が設けられている。

【0051】図8(a)ないし(g)は実施例4の炭化けい素MOSFETの製造工程順の部分断面図である。まず、基板としてn<sup>+</sup>サブストレータ61上に厚さ10 $\mu$ mのnドリフト層62、厚さ2 $\mu$ mのpベース層63をエピタキシャル成長により積層した炭化けい素基板を用意する[図8(a)]。

【0052】炭化けい素基板表面上に減圧CVD法により厚さ4 $\mu$ mの多結晶シリコン層を堆積し、フォトリソグラフィにより第一のマスク66aのパターン形成する[同図(b)]。このマスクはnソース領域とnウェル領域の双方のイオン注入において共通に使用される。次に、さきのマスク66aを残したまま、CVD法により酸化膜を堆積し、フォトリソグラフィにより第二のマスク65aをパターン形成し、nソース領域形成のための燐イオン64aの注入をおこなう[同図(c)]。マスク端は第一のマスク66aで規定されるので、第二マスク65aのパターニングの精度は緩和される。イオン注入の条件は、実施例1のnソース領域と同様でよい。64bは注入された燐原子である。

【0053】燐イオン注入後、第二のマスク65aを除去して、再度減圧CVD法により多結晶シリコンを堆積

し、フォトリソグラフィにより第三のマスク66bを形成し、pベース層63を貫通するnウェル領域を形成するための燐イオン71aの注入をおこなう〔同図

(d)〕。マスク端は第一のマスク66aで規定されるので、第三マスク66bのパターニングの精度は緩和される。イオン注入の条件は、加速電圧が40keV、120keV、400keVと1MeV、ドーズ量は全部で $3 \times 10^{13} \text{ cm}^{-2}$ 、注入温度は1000℃とした。71bは注入された燐原子である。

【0054】四フッ化炭素(CF<sub>4</sub>)と酸素(O<sub>2</sub>)との混合ガスを用いたドライエッチングで第一、および第三のマスク66a、66bを除去した後、1600℃、2時間の熱処理を行い、不純物を活性化してnソース領域64およびnウェル領域71を形成する〔同図

(e)〕。nソース領域34の接合深さは約0.2μmである。

【0055】その後、熱酸化により厚さ60nmのゲート絶縁膜65の形成をし、その上に減圧CVD法により多結晶シリコンを堆積し、フォトリソグラフィによりパターン形成して電極ゲート電極層66とする〔同図(f)〕。図示しないが、その後、減圧CVD法により燐ガラスを堆積して絶縁膜とし、その絶縁膜に窓を開け、nソース領域34に接触するソース電極を設ける。同時にゲート電極層66に接触するゲート電極を設け、また、n<sup>+</sup>サブストレーートの裏面にドレイン電極を設ける。

【0056】この実施例4の炭化けい素MOSFETにおいても、nソース領域64とnウェル領域71とに挟まれたpベース層の幅すなわちチャネル領域70は、第一マスク66aの幅によって自由にかつ、精度良く決められ、しかも均一性がよい。従って、特に不純物の拡散がしにくい炭化けい素MOSFETにおいては、同じマスク端を用いたセルフアラインのものに比べ、高耐圧化に適する構造といえる。

【0057】また、図1の第一の実施例の炭化けい素MOSFETと違っている点は、pベース層64がエピタキシャル成長によって形成されており、そのpベース層64を貫通してnウェル領域71がイオン注入で形成されている点である。この方法ではSiCではイオン注入および活性化が困難なp型不純物のイオン注入を実施しなくて済むことが特徴であり、非常に量産性がある。

【0058】以上の説明ではnチャネル型のMOSFETの例を示したが、逆の導電型のMOSFETにも本発明が適応可能なことは勿論である。なお、n型、p型の不純物としては、燐、ほう素を用いたが、他にn型では窒素、砒素など、p型ではアルミニウムなどを用いることもできる。

【0059】

【発明の効果】以上説明したように本発明によれば、第二導電型不純物の選択的なイオン注入に使用したマスク

より、幅の広いマスクを使用した第一導電型不純物のイオン注入によって形成された濃度分布を有する第一導電型ソース領域をもつ炭化けい素縦型MOSFETとすることによって、チャネル領域の長さ、第二導電型ベース領域の厚さとをそれぞれ独立に設計でき、例えばチャネル領域でのパンチスルーが避けられる高耐圧に適する構造とすることができる。

【0060】製造方法としては、第二導電型ベース領域および第一導電型ソース領域の形成のためそれぞれマスクを使用した選択的なイオン注入をおこない、前記マスクを除去して熱処理をおこなった後、ゲート絶縁膜を形成するものとすることによって、ゲート絶縁膜への電界のストレスを緩和し、炭化けい素縦型MOSFETの高耐圧化を容易にした。

【0061】特に、スペーサを利用して、チャネル領域の長さが精度よく形成され、安定した特性が歩留まりよく得られる。また、第二導電型ベース層の表面から第一導電型ドリフト層に達するように形成された第一導電型ウェル領域と、第二導電型ベース層の表面層に選択的に形成された第一導電型ソース領域とをイオン注入により形成することによって、第二導電型不純物のイオン注入を不要にし、量産に適した構造の炭化けい素縦型MOSFETを示した。

【図面の簡単な説明】

【図1】本発明第一の実施例の炭化けい素縦型MOSFETの断面図

【図2】(a)～(f)は本発明第一の実施例の炭化けい素縦型MOSFETの製造方法を説明するための製造工程順の断面図

【図3】(a)～(g)は本発明の別の製造方法を説明するための炭化けい素縦型MOSFETの製造工程順の断面図

【図4】(a)～(f)は本発明第三の実施例の炭化けい素縦型MOSFETの製造方法を説明するための製造工程順の断面図

【図5】(a)～(d)は図4(f)に続く炭化けい素縦型MOSFETの製造工程順の断面図

【図6】本発明第四の実施例の炭化けい素縦型MOSFETの断面図

【図7】シリコン縦型MOSFETの断面図

【図8】(a)～(g)は本発明第四の実施例の炭化けい素縦型MOSFETの製造方法を説明するための製造工程順の断面図

【図9】(a)～(f)はシリコン縦型MOSFETの製造工程順の断面図

【図10】トレンチ型炭化けい素MOSFETの断面図

【図11】従来のプレーナ型炭化けい素MOSFETの断面図

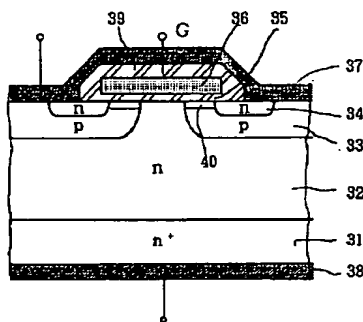
【符号の説明】

1、21、31、41、51、61 n<sup>+</sup>サブストレー

ト  
 2、12、32、42、52、62 nドリフト層  
 3、23、33、43、53 pベース領域  
 3a、33a、43a、53a ほう素イオン  
 3b、33b、43b、53b ほう素原子  
 4、14、24、44、54、64 nソース領域  
 4a、34a、44a、54a、64a、71a 燐イオン  
 4b、34b、44b、54b、64b、71b 燐原子  
 5、15、35、45c、55d、65b ゲート絶縁膜  
 6、16、36、46、56、66 ゲート電極層  
 6a、36c、46b、56b、66c 多結晶シリコン層  
 7、37、67 ソース電極

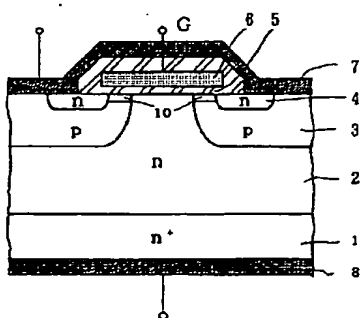
8、38、68 ドレイン電極  
 9、39、69 絶縁膜  
 10、20、30、40、60、70 チャネル領域  
 13、63 pベース層  
 15a コーナー部  
 19 トレンチ  
 36a、36b、46a、66a、66b 多結晶シリコンマスク  
 45a、55a CVDSiO<sub>2</sub> 膜  
 45b、55b スペース  
 52a 凸部  
 55c フォトリソグ  
 56a 窒化膜  
 65a CVDSiO<sub>2</sub> マスク  
 71 nウェル領域

【図1】

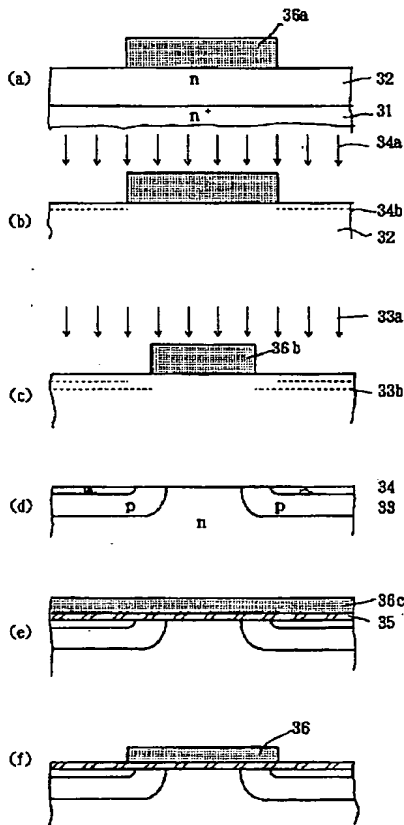


31 n<sup>+</sup> サブストレート  
 32 n ドリフト層  
 33 p ベース領域  
 34 n ソース領域  
 35 ゲート絶縁膜  
 36 ゲート電極層  
 37 ソース電極  
 38 ドレイン電極  
 39 絶縁膜  
 40 チャネル領域

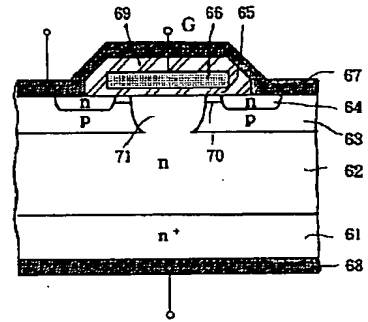
【図7】



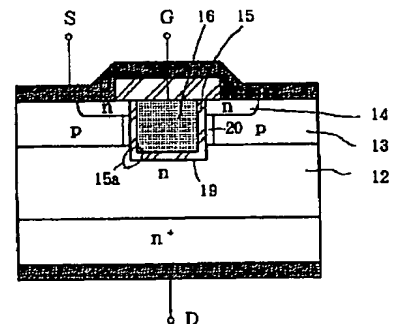
【図2】



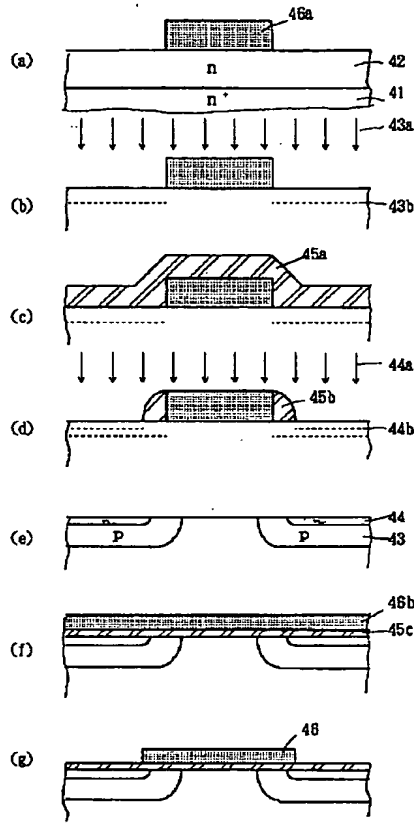
【図6】



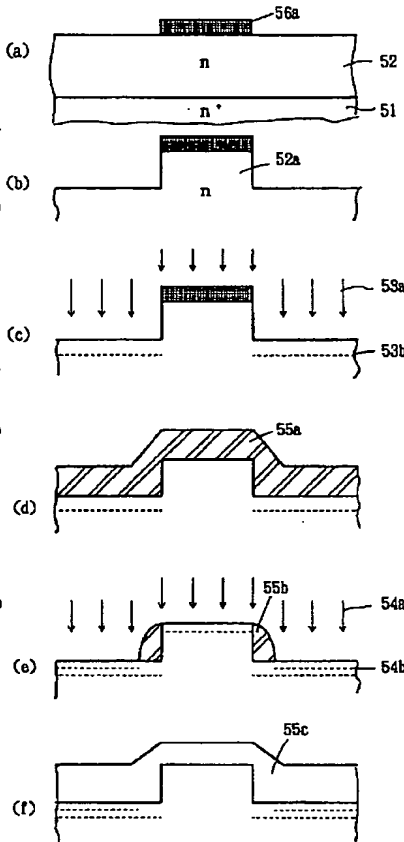
【図10】



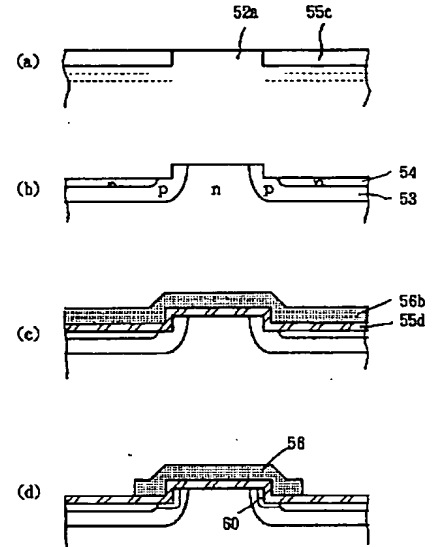
【図3】



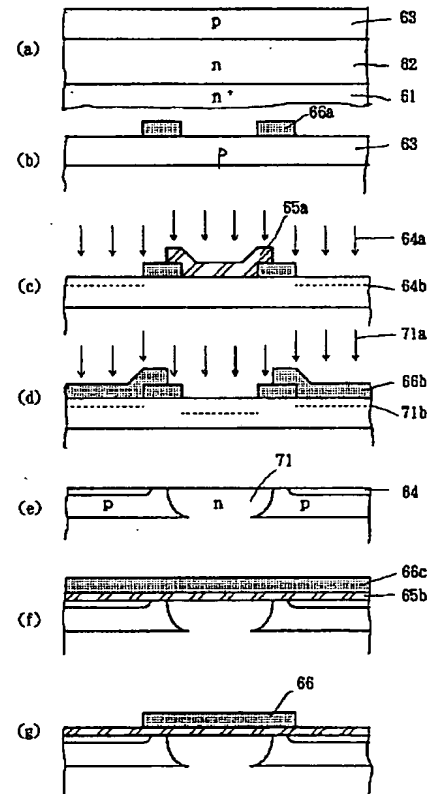
【図4】



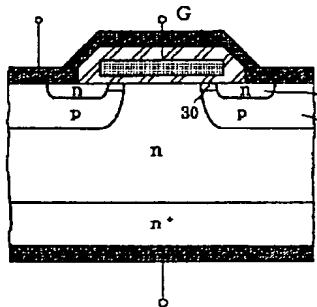
【図5】



【図8】



【図11】



【図 9】

